

NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

Patent Number: JP61181168
Publication date: 1986-08-13
Inventor(s): HASUNUMA SUSUMU
Applicant(s): NEC CORP
Requested Patent: ☐ JP61181168
Application Number: JP19850022427 19850207
Priority Number(s):
IPC Classification: H01L29/78
EC Classification:
Equivalents:

Abstract

PURPOSE: To increase the area of overlapping by each laminating two layers of polycrystalline silicon layers onto a polycrystalline silicon layer as a floating gate through insulating films and arranging the floating gate so that several polycrystalline silicon layer as upper-most layers is mutually connected electrically.

CONSTITUTION: A field insulating film 10 is formed to the surface of a substrate 1, and an insulating film 5 in a region 12, a region 13 and an insulating film 3 are shaped. Arsenic ions are implanted through the insulating film 3 to form a diffusion layer 2. A polycrystalline silicon layer as a floating gate 4 is shaped and the insulating film 5 is formed, a polycrystalline silicon layer as a control gate 6 is shaped, and an insulating film 7 is formed through oxidation. A gate 8 consisting of a polycrystalline silicon layer is shaped, conducted electrically with the floating gate 4 by a contact 9 through patterning, and unified as a floating gate. Source-drain regions and an inter-layer insulating film are formed, and a contact hole is bored and metallic wirings, etc. are shaped. Accordingly, a capacity ratio is removed, thus allowing writing and erasing at high speed.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-181168

⑬ Int.Cl.⁴

H 01 L 29/78

識別記号

庁内整理番号

7514-5F

⑭ 公開 昭和61年(1986)8月13日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 不揮発性半導体記憶装置

⑯ 特 願 昭60-22427

⑰ 出 願 昭60(1985)2月7日

⑱ 発 明 者 蓮 沼 晋 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

不揮発性半導体記憶装置

2. 特許請求の範囲

浮遊ゲート構造を有し薄いゲート絶縁膜を介したトンネル電流によって電気的に情報の書き込み・消去を行なう不揮発性半導体記憶装置において、浮遊ゲートとなる第1の多結晶シリコン層と、第1の絶縁膜を介して前記第1の多結晶シリコン層の一部を覆うように配置された第2の多結晶シリコン層と、さらに第2の絶縁膜を介して前記第2の多結晶シリコン層の一部を覆うように配置され、前記第1の多結晶シリコン層と電気的に接続された第3の多結晶シリコン層とを含むことを特徴とする不揮発性半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、浮遊ゲート構造を有し、薄いゲート絶縁膜を介したトンネル電流によって電気的に情報の書き込み・消去を行なう不揮発性半導体記憶装置に関する。

(従来の技術)

絶縁膜を介して導電層に電子の注入、引出しを行なう手段を有する、いわゆる浮遊ゲート構造からなる不揮発性半導体記憶装置は、従来、第5図のような平面構造と、第6図に示すような断面構造を有していた。なお第6図は第5図のA-A'断面図である。

このような構造の記憶装置は、例えば、P型半導体基板1にLOCOS法を用いてフィールド絶縁膜10、薄いゲート絶縁膜3を設け、N型拡散層2を薄いゲート絶縁膜3の下に設け、さらにゲート絶縁膜3の上に浮遊ゲート4、ゲート絶縁膜5、制御ゲート6を順次重ねて形成することによって得られる。なお、第5図において、11はドレイン領域、12はチャンネル領域、13はトンネル電流が流れるトンネル電流領域、14はソース領

域である。

この記憶装置に情報の書き込み・消去を行なう場合には、N型拡散層2と制御ゲート6との間に電圧を印加し、N型拡散層2—浮遊ゲート4—制御ゲート6の各電極間の容量結合によって、薄いゲート絶縁膜3（例えば SiO_2 膜）中に高電界を印加し、ファウラー・ノルトハイム（Fowler Nordheim）トンネル電流を発生することによって、浮遊ゲート4に電子を注入、または、浮遊ゲート4から電子を引出し、これによって制御ゲート6から見たドレイン領域11、チャンネル領域12、ソース領域14からなるメモリトランジスタのチャンネル領域12の閾値電圧を変化させる。
〔発明が解決しようとする問題点〕

この場合、情報の書き込み・消去の速度は、各電極間に印加される電圧、薄いゲート絶縁膜3の厚さ、各電極間の容量の比率等によって決定され、速度を速くするためには、印加電圧を高くし、薄いゲート絶縁膜3の厚さをより薄くし、浮遊ゲート4—制御ゲート6間の容量を他の容量に比して

電流によって電氣的に情報の書き込み・消去を行なう不揮発性半導体記憶装置において、浮遊ゲートとなる第1の多結晶シリコン層と、第1の絶縁膜を介して前記第1の多結晶シリコン層の一部を覆うように配置された第2の多結晶シリコン層と、さらに第2の絶縁膜を介して前記第2の多結晶シリコン層の一部を覆うように配置され、前記第1の多結晶シリコン層と電氣的に接続された第3の多結晶シリコン層とを有している。

〔実施例〕

以下、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例を示す平面図、第2図、第3図は第1図のB—B'、C—C'断面図である。

本実施例は、浮遊ゲート構造を有し薄いゲート絶縁膜3を介したトンネル電流によって電氣的に情報の書き込み・消去を行なう不揮発性半導体記憶装置において、浮遊ゲート4となる第1の多結晶シリコン層と、第1の絶縁膜としてのゲート絶縁

膜的に大きくすること（以下、容量比の改善という。）、がそれぞれ望ましい。しかし、印加電圧を高めることはデバイスの耐圧等により制限され、またゲート絶縁膜の薄膜化もピンホール密度の増加、絶縁破壊等によって制限されている。容量比の改善を実現するためには浮遊ゲート—制御ゲート間のゲート絶縁膜厚を薄くする方法と、オーバーラップ面積を大きくする方法とが考えられるが、絶縁膜厚を薄くするのは両ゲート間のリーク（あるいは絶縁破壊）から制限され、オーバーラップ面積の増大はデバイスの面積の増大につながり、高集積化の妨げとなる。

従って、本発明の目的は、デバイス面積を増大させることなく、浮遊ゲート—制御ゲート間のオーバーラップ面積を増大させることによって、高速の書き込み・消去が可能な高集積密度の不揮発性半導体記憶装置を提供することにある。

〔問題点を解決するための手段〕

本発明の不揮発性半導体記憶装置は、浮遊ゲート構造を有し薄いゲート絶縁膜を介したトンネル

膜5を介して浮遊ゲート4の一部を覆うように配置された第2の多結晶シリコン層からなる制御ゲート6と、さらに第2の絶縁膜としてのゲート絶縁膜7を介して制御ゲート6の上面の両端の一部を除いて覆うように配置され、浮遊ゲート4とコンタクト9により電氣的に接続された第3の多結晶シリコン層からなる補助浮遊ゲート8とを有して構成される。

すなわち、本実施例は第4図、第5図の従来例に対して、補助浮遊ゲート8を設けた点が異なっている。これにより従来、関与しなかった制御ゲート6の上面積を制御ゲート—浮遊ゲート間容量に役立たせることができる。

次に、本実施例の製造方法について説明する。まず、P型半導体基板1の表面に通常のLOCOS法を用いてフィールド絶縁膜10を形成し、メモリトランジスタのチャンネル領域12のゲート絶縁膜5と、トンネル電流領域13、薄いゲート絶縁膜3とを形成する。（これらのゲート絶縁膜を酸化膜で形成する場合、それらの膜厚は、前者は

例えば500 Å程度、後者は60～200 Å程度である。)

次に、この薄いゲート絶縁膜3を通して、例えば、ヒ素のイオン注入を行ない、N型拡散層2を形成する。ここで、N型拡散層2は後にモリトリランジスタのドレイン領域11と電気的に接続できるように、後の浮遊ゲート4、制御ゲート6、補助浮遊ゲート8の外側まで延在させておく必要がある。さらに、浮遊ゲート4となる多結晶シリコン層を形成、パターニングし、表面を酸化してゲート絶縁膜5を形成し、制御ゲート6となる多結晶シリコン層を形成、パターニングした後、表面を酸化してゲート絶縁膜7を形成する。このとき、制御ゲート6は浮遊ゲート4の上面と側面を覆うように形成されるが、浮遊ゲート4の一部は制御ゲート6の外にまで突出させておき、その部分にコンタクト9を開孔させ、絶縁膜を除去して、その部分の浮遊ゲート4の表面を露出させる。

その後、3層目の多結晶シリコン層からなる補助浮遊ゲート8を形成し、パターニングを行ない、

ものと比較したものであり、同一の閾値電圧を得るための時間は1桁近く改善されていることがわかる。

〔発明の効果〕

以上、詳細述べてきたように、本発明によれば、上記手段により、

イ、デバイスの信頼性上問題となる浮遊ゲートー制御ゲート間の絶縁膜の薄膜化。

ロ、高密度集積化の助けとなる浮遊ゲートー制御ゲートのオーバーラップ面積の拡大

というような問題点を伴わずに、容量比の改善を行なうことが可能となり、高速の書き込み・消去が可能な高集積密度の不揮発性半導体記憶装置が得られる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す平面図、第2図、第3図は第1図のB-B'、C-C'断面図、第4図は本発明と従来の不揮発性半導体記憶装置の特性を比較して示した特性図、第5図は一従来

コンタクト9で浮遊ゲート4と電気的に導通させることにより、浮遊ゲートとして一体化する。かくして、浮遊ゲートー制御ゲート間の容量は制御ゲート6の上下両面を利用して形成することができ。

この後は、従来のMOS型半導体装置の製造方法と同様に、ソース、ドレイン領域、層間絶縁膜を形成し、コンタクト孔の開孔、金属配線等を施す。

以上の説明から明らかな様に、本実施例によれば、浮遊ゲートー制御ゲート間のゲート絶縁膜厚を一定にしたままで、かつ、メモリセル面積も一定のままで、浮遊ゲートと制御ゲート間の容量を約2倍近くにまで高めることができるため、デバイスの信頼性、集積度を何ら損なうことなく容量比の改善が実現され、情報の書き込み・消去の速度の高速化が可能となる。

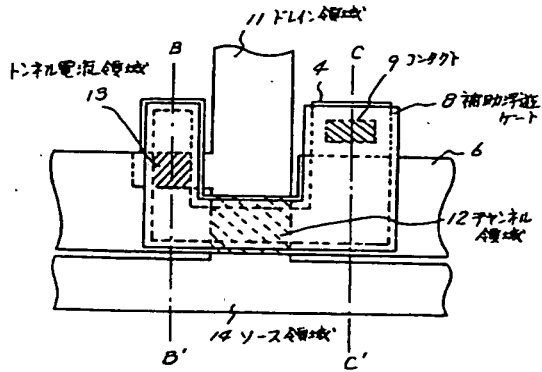
このようなメモリ特性の改善例を第4図に示す。これは浮遊ゲートー制御ゲート間の絶縁膜厚、メモリセルの面積等を同一とし、構造のみを従来の

例を示す平面図、第6図は第5図のA-A'断面図である。

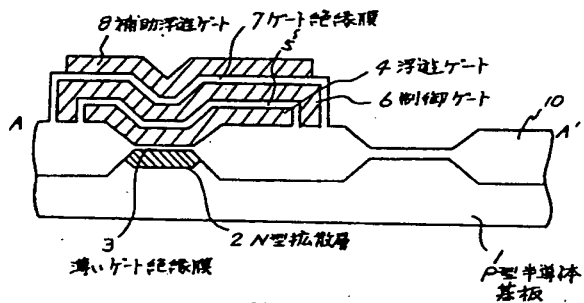
1……P型半導体基板、2……N型拡散層、3……薄いゲート絶縁膜、4……浮遊ゲート、5、7……ゲート絶縁膜、8……補助浮遊ゲート、6……制御ゲート、9……コンタクト、10……フィールド絶縁膜、11……ドレイン領域、12……チャンネル領域、13……トンネル電流領域、14……ソース領域。

代理人 弁理士 内 原 晋

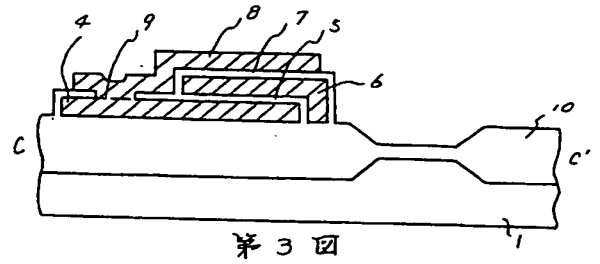




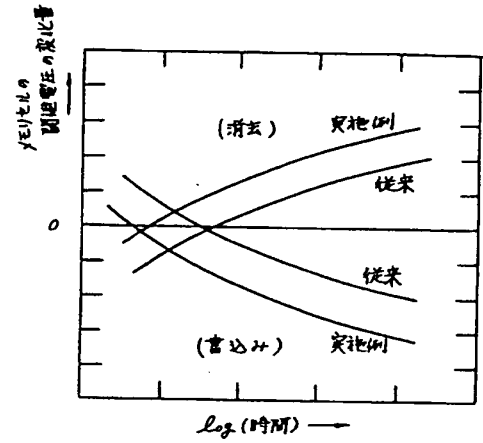
第1図



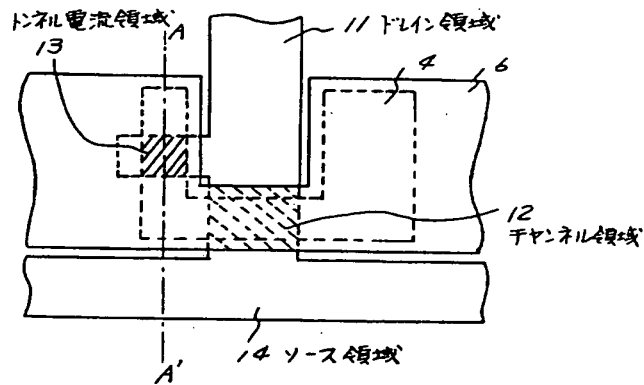
第2図



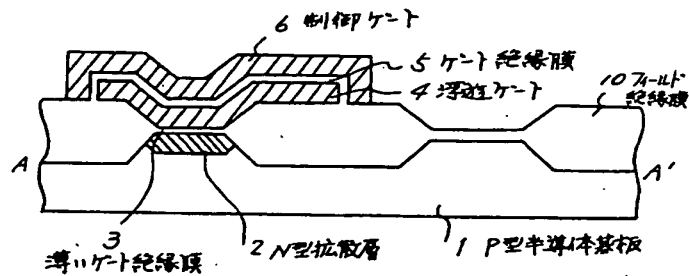
第3図



第4図



第5図



第6図